

예시 3 韓國特許

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 6  
H01L 21/28

(11) 공개번호 특2001-0014849  
(43) 공개일자 2001년02월26일

(21) 출원번호 10-2000-0023062

(22) 출원일자 2000년04월29일

(30) 우선권주장 09/311,4701999년05월13일미국(US)

(71) 출원인 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘  
미국 10504 뉴욕주 아몬크

(72) 발명자 국로버트  
미국미네소타주55405미네아폴리스웨스트21스트릿2205  
그레고스테폰이  
미국뉴욕주12540라그랜지빌리하드드라이브77  
허멜존피  
미국뉴욕주12540밀브룩킬런로드  
리우조이스  
미국뉴욕주12533홈월선첼리씨코브드라이브사우스1007  
맥가헤이빈센트제이  
미국뉴욕주12603포그킵시아테스볼바드5  
미레베카  
미국뉴욕주12590와핑거스폴즈로빈레인17  
스리바스타바카말레쉬  
미국뉴욕주12590와핑거스폴즈쉬페로드163

(74) 대리인 김성택  
조태연  
김함곤

심사청구 : 있음

(54) 반도체 소자 제조 방법 및 그 반도체 소자

요약

레지스트 현상액은 집적 회로 칩 표면과 유전체 재료의 표면에 형성된 배선층과의 사이의 절연체로서 사용될 수 있는 실세스퀴옥산 재료와 같은 몇 가지 종류의 신중 유전체 재료를 침식할 수 있다. 반응 물질을 외부에서 공급하거나 또는 유전체 재료로부터 유리시키는 레지스트 스트립핑 공정 또는 에칭 공정을 수행함으로써, 중간 물질을 피복하는 극히 얇은 표면 보호 박막이 형성되는데, 이 보호막은 레지스트 현상액 또는 유동성 산화물 물질을 손상시킬 수 있는 많은 다른 종류의 물질에 대하여 불투과성이다. 따라서, 강한 접착부 및 비아를 칩에 형성하는 이중 다마신 공정(dual Damascene process)이 특히 유전율이 낮은 신중 유전체에도 적합하게 되어, 도체 용량의 최소화, 신속한 신호 전파, 그리고 심지어 도체가 상호 근접하게 배치되어 있는 경우의 잡음 여유도의 향상을 뒷받침할 수 있다.

대표도

도4

명세서

도면의 간단한 설명

도 1 및 도 2는 집적회로 칩의 일부의 이중 다마신 공정(dual Damascene process)의 초기 단계를 보여주는 단면도.

도 3은 본 발명을 행하지 않은 레지스트 현상(現像)(resist development)의 효과를 보여주는 이중 다마신 공정에 있어서의 집적회로 칩의 일부의 비아 레지스트 처리 공정(via resist processing)을 보여주는 단면도.

도 4 및 도 5는 본 발명을 행하는 과정 및 그 결과 얻어지는 SSQ 유전체의 보호를 설명하는 집적회로 칩의 일부의 단면도.

도 6은 본 발명에 따라 완성된 다마신 도체 및 비아(via)의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 12 : 칩
- 14 : SSQ 유전체층
- 16 : 박막 산화물층
- 18 : 레지스트층
- 22 : 리세스
- 24 : 레지스트층(비아 레지스트층)
- 25 : 비아
- 26 : 구멍
- 27 : 비아
- 28' : 언더컷
- 40 : 보호막
- 50 : 비아 레지스트
- 52 : 구멍
- 60 : 비아 구조

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야 종래기술

본 발명은 일반적으로 말하면 집적회로 제조 방법에 관한 것으로서, 보다 구체적으로 말하면 신중 절연재 위에 강한 도전성 구조(robust conductive structure)를 형성하는 방법에 관한 것이다.

집적밀도의 향상과 함께, 성능 및 제조 경제적 측면에서의 향상은, 집적회로 설계에 있어서의 특징부 치수를 극소화하고 간격을 조밀하게 하는 설계 규칙의 사용으로 이어졌다. 집적회로에 내장되는 소자간 접속 길이가 감소되면 일반적으로 신호 전파 시간이 감소되고 잡음여유도(雜音餘裕度)(noise immunity)가 향상된다. 그러나, 집적회로의 치수가 더욱 소형화하는 설계 규칙에 맞춰짐에 따라, (단면적의 감소에 기인한) 저항 상승 및 (접속 근접도 향상에 기인한) 용량의 상승으로 말미암아 배선지연시간 감소 효과(reductions in wiring delays)가 감소된다. 이러한 효과는 오로지 도체의 저항을 및/또는 절연체의 유전율을 낮춤으로써 개선될 수 있다. 따라서, 유전율이 낮은 신중 유전체 재료가 개발되어 집적회로의 제조에 사용되고 있다.

이제 광범위하게 사용되고 있는 특히 유전율이 낮은 그러한 신중 유전체 재료 중에는 몇 가지 종류의 실세스퀴옥산(silsesquioxane) (이하, SSQ)재료가 있는데, 이들 재료는 적용의 용이성 때문에 특히 바람직하고, 통상 적용되는 스핀 온 그라스 및 갭 충전 품질(spin-on glass and gap filling qualities)의 본질상 더욱 그러하다. 갭을 충전하는 것은 상당한 내부 응력을 수반할 수도 있는 반도체 재료 중의 결정 격자의 전위(轉位) 및 균열의 전파 가능성을 감소시키는 데에 중요하다.

적합한 SSQ 재료는 상업적으로 입수 가능한 중합체 재료인데, 그들 중 하나는 전적으로는 아니더라도 주로 수소 실세스퀴옥산( $\text{HSiO}_3/2$ )으로서, 이 재료는 때로 약어로 HSSQ 또는 HSO라 불린다. 때때로 채용되는 관련 재료로는 HSO에 있어서의 수소 대신에 금속기가 치환되어 있는 금속 실세스퀴옥산(MSSQ 또는 MSO)이 있다. 이들 재료는 가교 산소 원자(bridging oxygen atoms)가 분자들 사이에 공유되는 구조를 형성한다. 가교 산소 원자들은 유전율이 낮기는 하지만 응력을 받고 있어서 많은 종류의 화학 물질에 의해 침식되거나 또는 비교적 미세한 물리적 충격에도 균열이 신속하게 전파되게 할 수 있다. 그러한 이유 때문에, 비보호 SSQ 재료는 고해상도의 리소그래피 공정을 뒷받침할 양호한 평탄화 특성을 나타내기는 하지만, 일반적으로는 박막층을 형성하기에 적합하지 않은 것으로 받아들여지고 있다. 예를 들면, 미국 특허 제5,818,111호는 HSO가 비교적 무르다는 것을 감안하여, 다층 유전체 적층체

를 형성하기 위하여 HSQ 층과 보호용 이산화 규소층이 번갈아 배치되는 구조를 제안하고 있다.

전술한 다마신 처리 공정은 우수한 전기적으로 무결성(無缺性)의 강한 접속부들을 매우 작은 치수 및 조밀한 간격으로 기계적으로 형성하는 데에 특히 유용한 잘 알려진 익숙한 기술이다. 기본적으로, 다마신 공정은 유전체 재료의 표면에 홈 또는 리세스를 형성하고, 이어서 그 홈 또는 리세스를 충전하기에 충분한 두께의 금속층을 침적하여 원하는 형상의 도체를 형성한다. 그 금속층은 후에 가령 폴리싱(polishing)과 같은 어떤 공지된 공정에 의하여 유전체의 본래의 표면까지 평탄화함에 의해 용이하게 패턴닝된다. 그렇게 형성된 구조는 (금, 알루미늄, 텅스텐 또는 구리와 같은 재료로 제조될 수 있는) 접속부의 바닥 및 측부에서 금속을 충분히 지지하며, 따라서 금속의 이동, 손상 등에 대하여 저항성을 갖는다. 홈이나 리세스를 형성하면, 또한 금속층을 직접 패턴닝함에 의해서 얻을 수 있는 것 보다 더 정밀하고 규칙적으로 패턴 에지(pattern edges)를 형성할 수 있다.

그러나, 실질적으로 완성된 칩 위의 유전체층에 도체를 형성하는 경우, 상호간 접속 패턴 및 칩상의 소자에 대한 전술한 비아 형태의 접속부를 각각 형성하는 데에는 두 가지 패턴닝 공정이 필요하다. 금속 침적 및 평탄화 공정이 후속되는 이들 두 가지의 패턴닝 공정을 총괄해서 이중 다마신 공정이라 부른다.

그러나, 대부분의 SSQ 재료는 일반적으로 pH가 높은 대부분의 리소그래피 레지스트 현상액에 의해 쉽게 침식된다. 게다가, SSQ 재료가 레지스트 현상액에 의해서 침식되는 경우, 제거될 수 있는 재료의 양을 쉽게 조절할 수 없으며 레지스트 패턴에 언더컷(undercut)을 발생시킬 수도 있다. 그러므로, SSQ가 에칭되는 경우, 심지어 에칭액을 잘 조절하더라도 결과적인 비아의 형상이 심하게 찌그러질 수 있으며, 비아들은 칩을 전체에 걸쳐 균일성이 떨어지게 되고, 가능하게는 비아들이 불균일 하여 접속부를 형성할 칩에 있는 구조들과 신뢰성 있게 일치되지 않는다.

SSQ 재료의 표면을 다른 유전체와 같은 부가적인 재료층으로 보호하는 것은 가령 몇몇 반도체 구조에 있어서 이중 다마신 공정으로 접속 비아를 형성하는 데에는 실용적이지 못하다. 달리 SSQ 재료를 보호하는 데에 실질적으로 적합한 재료라면, 그것은 SSQ의 그것보다 유전율이 더 높을 것이고 매우 얇은 박막층으로도 용량이 임계적일 수 있는 위치에서 용량을 상승시키게 될 것이며, 또 가능하게는 에칭액 및/또는 레지스트 패턴에 따라 제거할 추가의 에칭 공정을 필요로 할 수 있다. 추가로, 에칭된 부분[예컨대, 트렌치(trench) 또는 홈]에 보호층을 침적하면, SSQ 층의 본래의 표면에 보호층이 침적될 수도 있으나, SSQ 재료가 채워져 그 트렌치나 홈에 형성된 어떤 도전성 구조의 낮은 용량을 훼손시킬 뿐만 아니라 추가의 공정 단계들을 필요로 하게 된다.

레지스트의 사용 개념은 레지스트 패턴이 충분히 형성될 때까지는 하부 재료가 레지스트의 처리 및 현상에 의해 영향을 받지 않게 된다고 하는 가정에 기초를 두고 있음은 물론이다. 레지스트 현상액이 SSQ 재료를 제거하는 것은 산소에 의한 약한 공유 결합을 깨트리는 작용일 것이기 때문에, SSQ 재료를 침식시키지 않는 현상액을 찾기가 쉽지 않다. 따라서, 당업계의 현상액에서, 다층의 레지스트층을 사용하는 공정은 전술한 문제를 감소시키는 것과 관련하여 중대한 이점을 제공하지 않을 것이다.

요약하자면, 금속화 상호 접속부(interconnection metallization)의 하층을 형성하거나 그 접속부를 지지하도록 HSQ 또는 MSQ를 사용하면, 단지 생산 수율의 절충 가능성이 있기는 하지만, 이중 다마신 공정을 사용하여 도체 및 비아를 할 수 있다. 표면에 도포된 접속부를 덮는 겹 충전 재료로 SSQ 재료를 사용할 수 있으나, 그렇게 해서는 전술한 다마신 접속부의 장점을 얻을 수 없다. 일련의 패턴닝 에칭 단계들 필요로 하는 공정, 가령 이중 다마신 공정에서의 SSQ 재료와 레지스트 현상액 간의 근본적인 비양립성(incompatibility)을 회피하기 위한, 특히 SSQ 재료의 낮은 유전율이 특히 임계적인 고밀도 집적회로의 미세 피치의 설계 규칙을 수용하기 위하여 사용 가능한 기술은 없다.

### **발명이 이루고자하는 기술적 과제**

그러므로, 본 발명의 목적은 초기에 마련된 보호막이 제거되었을 에칭 특징부에 SSQ 재료 보호 목적의 추가적인 보호층을 침적함이 없이, 레지스트를 패턴닝하는 동안에 SSQ 유전체 재료를 현상 용액에 의한 침식으로부터 보호하는 방법을 제공하는 것이다.

본 발명의 다른 한 가지 목적은 칩에 있는 소자들간의 강한 상호 접속부가 SSQ 유전체 재료의 사용과 부합하고 생산 수율이 높은 이중 다마신 공정에 의해 형성될 수 있는 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 저렴한 비용으로 이중 다마신 도체를 형성하는 방법을 제공하는 것이다.

본 발명의 또 다른 목적은 다른 필요한 단계의 추가적인 공정 단계 (및 변형) 그리고 그와 관련된 비용을 회피하기 위하여 다른 필요 단계들의 부산물로서 이중 다마신 처리 공정중에 SSQ 유전체 재료를 보호하는 것이다.

### **발명의 구성 및 작용**

전술한 목적 및 기타의 목적을 달성하기 위하여, 본 발명은 소정 재료의 표면에 레지스트 패턴을 형성하는 단계와, 레지스트의 패턴을 따라 상기 재료의 일부를 제거하는 한편, 이 재료가 제거됨에 따라 노출된 표면에 소정의 선택된 물질에 대하여 실질적으로 불투과성인 중간 조성물을 형성하는 단계와, 중간 조성물 위에 추가의 레지스트 패턴을 형성하는 단계, 그리고 추가의 레지스트 패턴을

따라 중간 조성물의 일부 및 상기 재료의 다른 부분을 제거하는 단계를 포함하는 반도체 소자 제조 방법 및 이 방법에 의해 제조되는 반도체 소자를 제공한다.

본 발명의 다른 한 가지 태양에 따라, 실세스퀴옥산 재료층과, 이 실세스퀴옥산 재료층의 표면에 있는 홈에 형성된 다마신 도체와, 상기 실세스퀴옥산 재료층을 관통하여 연장하고 상기 홈 내에서 다마신 도체 아래에 배치된 비아, 그리고 상기 홈 내의 실세스퀴옥산 재료층의 산화된 표면을 포함하는 반도체 소자가 제공된다.

이제 도면, 특히 도 1을 참고로 하면, 이 도면에는 트랜지스터, 캐패시터와 같은 디바이스를 구비한 집적회로 칩(12), 그 위에 형성된 하부 접속부(underlying connections)(도시되지 않음), SSQ 유전체층(14)(이하, 단지 'SSQ 층'이라고도 약칭함), 박막 산화물 유전체층(16)(이하, 단지 '산화물층'이라고도 약칭함) 및 패터닝된 레지스트층(18)을 구비하는 구조(10)의 표면에 도체를 형성하는 이중 다마신 처리 공정의 초기 단계가 횡단면도로 도시되어 있다. 도 1 내지 도 3이 동일한 축적으로 도시되어 있지 않으며, 명확성을 기하기 위하여 몇몇 영역이 비율에 맞지 않게 확대 도시되어 있음을 이해해야 한다. 도 1 및 도 2는 잘 알려진 이중 다마신 공정의 초기 단계를 보여주어 있고 도 3은 본 발명을 행하지 않은 레지스트 현상의 결과를 예시하고 있지만, 도 1 내지 도 3의 어떤 부분도 본 발명과 관련하여 선행 기술인 것으로 인정되지는 않는다는 것도 또한 이해해야 한다.

도 1은 접속부가 형성될 위치에 구멍을 형성하기 위하여 레지스트층(18)이 선행 침적(prior disposition), 처리(에컨대, 건조), 노출 및 현상(現像)을 행하는 것을 나타내고 있다. 도시된 레지스트층과 금속층은 SSQ 층(14) 및 박막 산화물층(16)과 함께 어떤 레벨의 층을 대표하여 제시된 것으로 이해하여야 하며, 복수 그룹의 그러한 층[에컨대, SSQ 층(14) 및 산화물층(16)]을 임의대로 그러한 종류의 다른 층 위에 순차로 형성한 후에 패터닝함으로써 원하는 접속 패턴을 형성할 수 있다.

도 1에 도시된 바와 같이, 레지스트의 현상은 SSQ 층(14)에 영향을 주지 않는데, 그 이유는 박막 산화물층(16)에 의해 보호되기 때문이다. 이 박막 산화물층의 두께는 최종 구조에 있어서의 용량을 최소한도로 상승시키도록 설계되며 잠재적으로는 제거될 수 있다. 그러나, 레지스트 현상액은 그것이 SSQ 층(14)에 도달하는 것을 방지하는 박막 산화물층(16)이 존재하기 때문에 SSQ 유전체를 침식시킬 수 없다는 것을 알아야 한다.

도 2에 도시된 바와 같이, 레지스트층(18)에 현상된 패턴(20)에 따라 에칭이 수행되어, 박막 산화물층(16)에는 구멍(22')을, 그리고 SSQ 층(14)에는 리세스(22)를 형성한다. 레지스트층(18)의 패턴(20) 형성 후, 에칭 공정이 상당히 양호하게 작용되며, 그 에칭 공정은 이방성이라는 것을 주지해야 한다. 당업계에는, 도시된 것과 실질적으로 같은 결과를 제공하는 많은 공정이 공지되어 있다. 레지스트층(18)의 나머지는 윤곽이 점선으로 도시된 바와 같이 후에 벗겨질 수 있다.

단일의 다마신 공정으로 단지 도체만을 형성하고자 하는 경우, 모든 노출된 표면을 덮도록 블랭킷 금속층(blanket metal layer)을 침적하고, 박막 산화물층(16)까지 또는 그 산화물층을 관통하여, 폴리싱, 등방성 에칭(isotropic etching) 등을 행함으로써 패턴을 형성할 수 있으며, 아무런 문제도 발생하지 않게 된다. 이러한 도체의 부분들이 칩(12) 위에 있는 전자 구조에 접속되어야 한다고 하는 사실에서 문제가 발생하는데, 이 문제는 본 발명에 의해 해결된다. 그러므로, 이중 다마신 공정에 따라 블랭킷 금속층을 침적하는 경우, 전술한 바와 같이 도체 부분들을 전자 구조에 접속하기 위해서는 SSQ 층을 더 패터닝하여 비아들을 형성해야 하는 데, 이하 이 점에 대하여 도 3을 참고로 설명하겠다. [구리와 같은 저항이 작은 금속은 SSQ 재료의 에칭과 양립할 수 있는 방법으로는 쉽게 에칭되지 않으며, 따라서 다마신 공정을 수정하여 비아를 형성하는 동안 SSQ 재료용 마스크로서 사용될 도체를 침적하기가 어렵다. 비아의 종횡비(縱橫比) 또한 그러한 공정에 의해 증가되어 비아에 대한 금속 충전능(充塡能)(the ability to fill the vias with metal)을 저하시킨다.]

도 3에 도시된 바와 같이, 다른 한 층의 레지스트층(24)이 도포되고, 노출 및 현상되어 비아들의 위치를 확정(劃定)하도록 의도된 패턴을 형성하는데, 이들 비아의 위치는 칩(12)에 형성된 구조에 도달하도록, 특히 도 2와 관련하여 전술한 바와 같은 방법으로 에칭된다. 그러나, 레지스트의 현상 공정은 레지스트를 현상액 내로 점진적으로 용해시키는데, 이 현상 공정은 패터닝 노출에 따라 현상액 중에서 가용성(可溶性)인 레지스트의 거의 모두의 용해가 완료할 때까지 행해져야 한다. 전술한 바와 같이, 현상액은 SSQ 재료를 침식시키며, 그것도 등방성으로 침식시킨다. 그러므로, 현상액은 SSQ 재료를 제거하여, 레지스트 아래에서 확장할 수 있는 공동(空洞) 또는 반응 구역을 형성할 수 있는데, 이 공동은 레지스트의 무결성과, 의도한 위치에 의도한 치수로 비아(25)를 형성하도록 후속 에칭 공정을 적절히 제어할 레지스트의 제어능 양자를 훼손한다.

즉, 비아 레지스트(24)의 언더컷(28')이 발생된 후에 이방성 에칭 공정을 매우 잘 조절하여 행한다고 하더라도 도면 부호 25가 아닌 도면 부호 27로 도시된 위치 및 형상의 비아를 형성하기 쉽다. 도면에서 볼 수 있는 바와 같이, 비아(27)는 의도된 것보다는 더 크고, 또 비아(25)의 중심으로부터 중심이 이동된 불규칙한 형상이다. 그러므로, 비아를 칩(12)에 있는 구조체와 일치시키는 것이 훼손되고, 더욱이 증가된 치수 및 위치상의 잠재적인 에러는 칩에 있는 구조들의 단락을 초래할 수 있다.

이제 도 4를 참고하면, 본 출원의 발명자들은 특정한 바람직한 에칭액을 사용하여 도 2를 참고로 전술한 바와 같은 에칭을 수행하면, 그리고 바람직하기로는 반응성 이온 에칭 공정을 사용하면, 에칭 공정에 의해 SSQ 재료가 노출됨에 그 SSQ 재료의 표면에 극히 얇은 산화물 보호막(40)이 제공될 수 있다는 것을 발견하였다. 즉, 에칭 공정의 일부로서 산화물 생성 반응이 발생되는데, 이 반응은 SSQ 중합체층의 노출된 규소 원자(그리고 가능하기로는 그 재료가 에칭되기 전에 확산에 의해 수백 앵스트롬까지 도달할 수 있는 규소 원자)으로 자동적으로 한정된다(self-limited).

이렇게 자동적으로 한정된 보호 산화물 보호막의 두께는 충분히 얇아서 SSQ 재료의 낮은 유전율이 심각하게 훼손되지 않는다. 모든

노출된 규소 원자를 관여시키는 것은 표면 효과라고 하는 사실 때문에, 상기 산화물 보호막은 SSQ 재료의 표면을 보호하는 방법으로 확실하게 형성될 수 있다. 이 산화물 보호막의 형성 직후의 에칭에 의해, 산화물 보호막의 무결성과, 단지 그 보호 기능에 충분한 정도의 매우 작은 치수로 자동적으로 한정되는 두께 모두 보장된다. 그러므로, 산화물 보호막은 본 발명에 따른 에칭 공정의 중간 생성물로 간주될 수 있는데, 이 중간 생성물은 SSQ 재료가 제거되는 표면 전방의 극히 짧은 거리 및 시간에 걸쳐서만 존재한다.

본 발명을 실시하는 동안 발생할 수 있는 화학 반응(들)의 어떤 특별한 이론에 집착하려는 것은 아니지만, 이제 본 발명의 실시에 적합한 두 가지 에칭 공정에 대하여 설명하겠다. 이들 공정은 당업자에게는 본 발명을 실시하기 위한 다른 에칭액 및 에칭 공정의 적합성에 관한 가이드 라인으로서의 역할을 할 것이다.

이제 설명할 공정들은 SSQ 재료, 즉 HSQ( $\text{HSiO}_{2/3}$ ) 및 MSQ가 안정한 이산화규소( $\text{SiO}_2$ )에 비하여 산소가 부족하다는 점이 이용되는 것으로 믿어진다. 이러한 산소 부족은 이들 재료의 중합 특성에 부수되는 것으로서 후술되는 공정은 화학 반응에 참여하여 바람직한 보호막인  $\text{SiO}$

$_2$ 를 형성하도록 추가적인 산소를 공급하는 바람직한 기술이다. 그러나, III-V 족의 다른 반도체 재료를 기초로 한 유전체 재료와, 산화물이 아닌 가령 질화물 보호막에도 같은 기본 원리가 적용된다는 것을 이해하여야 한다. 그러나, 다른 재료들은 적합한 결과를 얻기 위하여 공정 파라미터의 임계성을 증대시킬 수 있다.

특히, 공정과, 공정 파라미터(에컨대, 반응물의 농도), 그리고 에칭액의 선택에 있어서 중요한 인자는, 보호막(40)의 두께를 작은 치수로 유지하기 위하여, 에칭 공정이 SSQ 재료와 중간 보호막 재료 양자 모두를 실질적으로 같은 속도로, 그리고 선택된 공정 온도에서의 SSQ 재료 중의 반응물의 확산 속도와 유사한 속도로 이방성 에칭하기에 적합해야 한다는 것이다. 그러나, 일반적으로 말한다면, SSQ 재료를 비롯하여 후술되는 공정들이 대부분 바람직한데, 그 이유는 공정 파라미터들이 특별히 임계적이지 않기 때문이다.

이와 관련하여, 본 출원의 발명자들은, 본 발명을 실시함에 있어서 어떤 SSQ 재료를 사용하더라도 유사한 결과가 쉽게 얻어지지만, MSQ 보다는 HSQ의 경우가 반복 가능한 방법으로 훨씬 쉽게 조절될 수 있다는 것을 밝혔다. MSQ는 바람직한 공정 조건 하에서 반응성이 훨씬 더 크고, 따라서 제어능(制御能)이 다소 떨어지고 에칭 공정 시간과 관련하여 더 임계적인 것으로 밝혀졌다. 그러므로, HSQ를 사용하여 본 발명을 실시하는 것이 훨씬 바람직하다.

그러나, 바람직한 공정 및 그 변형체들은 에칭 공정에 의해 동시에 제거되는 과량의 반응 물질을 제공하는 조건하에서의 반응(들)을 수반한다는 것을 알아야 한다. 즉, 본 발명에 따른 반응은, 에칭 공정에서 종종 그러하듯이 에칭 대상 표면의 물질의 상대적인 농도에 의해서 진행되는 그러한 공정과는 실질적으로 상반된다. 그러므로, 본 발명에 따른 공정의 결과는 직관적으로 알 수 있는 것과는 매우 다르며, 그 특기할 만한 효과는 예기치 못한 것이다.

구체적으로 설명하면, 바람직한 제1 공정은 산소 함유 플라즈마를 사용하여 레지스트를 벗기는 스트립핑(resist stripping) 공정을 포함하는데, 상기 산소 함유 플라즈마는 현상후에 남는 레지스트의 패턴이 제거됨에 따라 SSQ 재료를 제거한다. 따라서, 이 공정은 SSQ 재료의 표면이 노출됨에 따라 그 표면에 (억부적으로) 산소 이온을 제공하고 그 노출된 표면 아래로 약 500 앵스트롬까지 SSQ 재료를 산화시켜 매우 얇은 박막  $\text{SiO}$

$_2$  층을 형성한다. 유사한 결과가 바람직한 제2 공정에서도 얻어질 수 있는데, 이 제2 공정은 SSQ 재료가 제거됨에 따라 그 재료로부터 산소를 유리시키는 것으로 믿어지는 불화탄소에 의한 반응성 이온 에칭을 사용한다. 전술한 두 공정 모두  $\text{SiO}$

$_2$  보호막(40)을 형성하는데, 산화물은 반도체 재료의 리소그래피 공정에 적합한 것으로 널리 알려져 있는 현상액에 대하여 실질적으로 불투과성이기 때문에, 상기 보호막은 현상액의 작용에 대한 SSQ 재료의 응집성 보호(cohesion protection)(에컨대, 재료를 이방성으로 제거하기 위하여, 화학 결합이 깨지는 것을 억제하고, 균열 및 중합체 구조의 완전성에 대한 유사한 형태의 손상을 회피하는 것)을 제공하기에 충분하다.

그러므로, 도 5에 도시된 바와 같이, 비아 레지스트(50)가 현상되어 구멍(52)을 형성하는 경우, SSQ 재료(14)는 산화에 의해 형성된 표면 산화물에 의해 또다른 층의 부가나 또는 이를 위한 공정 단계를 필요로 하지 않고 영역(40')에서 현상액의 작용으로부터 보호된다. 그러므로, SSQ 재료 상에서의 어떤 작용도 완전히 회피하면서 레지스트의 패턴링을 완료함으로써 비아 패턴을 형성할 수 있다.

도 6에 도시된 바와 같이, 비아는 그 후에 소정의 바람직한 공정에 의해 이방성으로 에칭되어 도 3의 도면 부호 27로 도시된 바와 같은 이탈이 없이 침상의 필요한 구조에 개구를 정밀하게 형성하며, 이어서 비아 레지스트의 스트립핑이 행해진다. 비아의 종횡비는 그 비아의 어떤 주어진 횡방향 치수에 대하여 필요에 따라 쉽게 조절될 수 있는 SSQ 층의 두께에 의해서만 결정된다. 도 2와 관련하여 전술한 바와 같이, 접속 리세스(22)는 물론 비아 구멍에는 블랭킷 금속층이 쉽게 충전된다. 그후, 블랭킷 금속층을 어떤 공지된 공정으로 평탄화하여 이중 다마신 공정에 따른 접속 및 비아 구조(60)를 완성할 수 있다. 평탄화 공정은 산화물 박막층의 부분에 따라서 중지되거나 수행될 수 있으며, 또한 그 산화물 박막층은 전체적으로 제거될 수도 있다.

단 하나의 바람직한 실시예와 관련하여 본 발명을 설명하였으나, 당업자라면 본 발명이 첨부된 특허 청구 범위의 정신 및 보호 범위 내에서 수정되어 실시될 수 있다는 것을 인식할 것이다.

## 발명의 효과

전술한 내용에 비추어, 본 발명은 유전율이 낮은 SSQ 유전체에 적합한 이중 다마신 공정 및 구조를 제공한다는 것을 알 수 있다. 그러므로, 본 발명은 용량 결함을 증대시키지 않고 강한 도체들이 더욱 근접하여 배치될 수 있게 하는, 따라서 집적 밀도, 신호 전파 및 잡음여유도의 향상을 뒷받침하는 구조 및 방법을 제공한다. 본 발명에 따른 공정은 생산 수율을 크게 절충될 공정 외에 부가적인 공정 단계 없이, 그리고 생산 수율이 더 낮고 저급 구조를 초래하게 되는 공정들에 비하여 저렴한 비용으로 수행될 수 있고, 또 원하는 구조를 형성할 수 있다. 본 발명에 따른 방법은 전술한 유동성 산화물 재료인 SSQ와 레지스트 현상액에 적용되는 외에도, 다른 형태의 보호가 현실적으로 또는 경제적으로 사용 가능하지 않은 경우, 많은 또는 적어도 정해진 물질에 대하여 불투과성인 표면 보호 피복(protective surface covering)을 제공하기 위하여 적용될 수 있다. 본 발명에 따른 공정은 임의로 반복되어 복수의 이중 다마신 층 구조를 형성하거나, 단일 층에 대하여 3회 이상의 개별적인 패터닝 작업을 행하거나 또는 이들 모두를 행할 수 있다.

## (57)청구의 범위

### 청구항1

재료의 표면에 레지스트 패턴을 형성하는 단계와,

상기 재료의 일부를 상기 레지스트 패턴을 따라 제거하는 한편, 상기 재료가 제거됨에 따라 그 재료의 노출된 표면에 소정 물질에 대해서 실질적으로 불투과성인 중간 조성물을 형성하는 단계와,

상기 중간 조성물의 표면에 추가의 레지스트 패턴을 형성하는 단계와,

상기 중간 조성물의 일부와 상기 재료의 추가의 부분을 상기 추가의 레지스트 패턴을 따라 제거하는 단계를 포함하는 반도체 소자 제조 방법.

### 청구항2

제1항에 있어서, 상기 재료의 일부를 제거하는 단계는 산소 플라스마로 레지스트를 벗기는 스트립핑 공정을 포함하는 반도체 소자 제조 방법.

### 청구항3

제1항에 있어서, 상기 재료의 일부를 제거하는 단계는 불화탄소를 이용한 반응성 이온 에칭 공정을 포함하는 반도체 소자 제조 방법.

### 청구항4

제1항에 있어서, 상기 재료가 실세스퀴옥산 재료인 반도체 소자 제조방법.

### 청구항5

제4항에 있어서, 상기재료의 일부를 제거하는 단계는 산소 플라스마로 레지스트를 벗기는 스트립핑 공정을 포함하는 반도체 소자 제조 방법.

### 청구항6

제4항에 있어서, 상기 재료의 일부를 제거하는 단계는 불화탄소를 이용한 반응성 이온 에칭 공정을 포함하는 반도체 소자 제조 방법.

### 청구항7

제4항에 있어서, 상기 실세스퀴옥산 재료는 수소 실세스퀴옥산 및 금속 실세스퀴옥산을 포함하는 군으로부터 선택되는 반도체 소자 제조 방법.

### 청구항8

제5항에 있어서, 상기 재료의 일부를 제거하는 단계는 산소 플라스마로 레지스트를 벗기는 스트립핑 공정을 포함하는 반도체 소자 제조 방법.

### 청구항9

제5항에 있어서, 상기 재료의 일부를 제거하는 단계는 불화탄소를 이용한 반응성 이온 에칭 공정을 포함하는 반도체 소자 제조 방법.

청구항10

실세스퀴옥산 재료 층과,

상기 실세스퀴옥산 재료의 표면에 있는 홈에 형성된 다마신 도체와,

상기 실세스퀴옥산 재료를 관통하여 연장하고 상기 홈 내에서 상기 다마신 도체 아래에 배치된 비아와,

상기 홈 내의 상기 실세스퀴옥산 재료의 산화된 표면

을 구비하는 반도체 소자.

청구항11

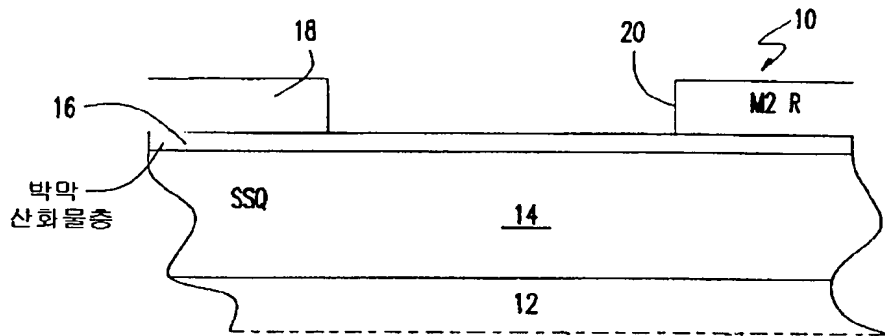
제10항에 있어서, 상기 실세스퀴옥산 재료는 수소 실세스퀴옥산 및 메탈 실세스퀴옥산으로 이루어지는 군으로부터 선택되는 반도체 소자.

청구항12

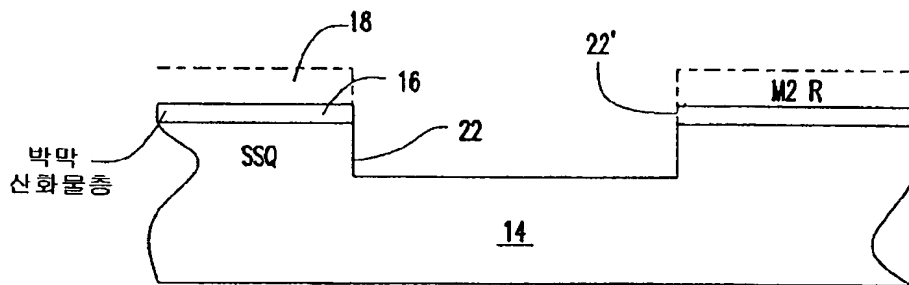
제1항 내지 제9항 중 어느 한 항에 따른 방법에 의해 제조된 반도체 소자.

도면

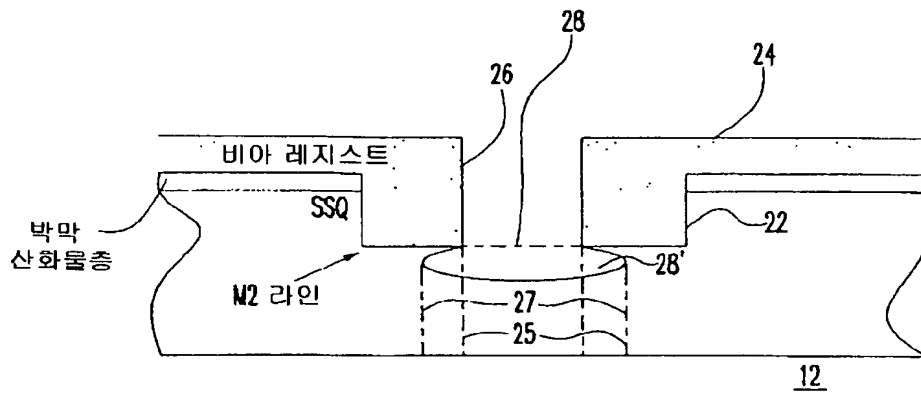
도면1



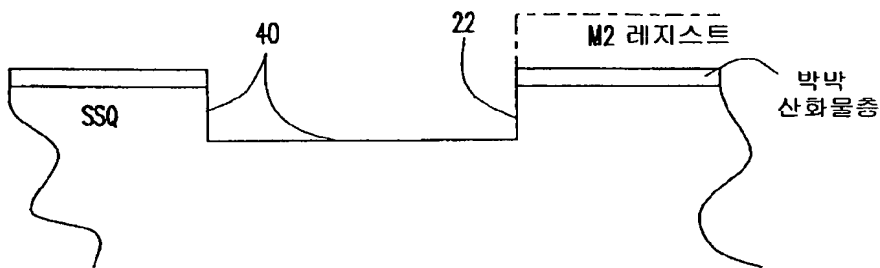
도면2



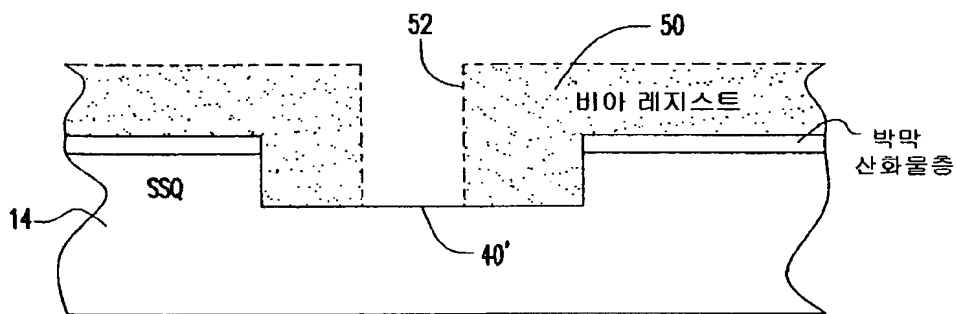
도면3



도면4



도면5



도면 6

